

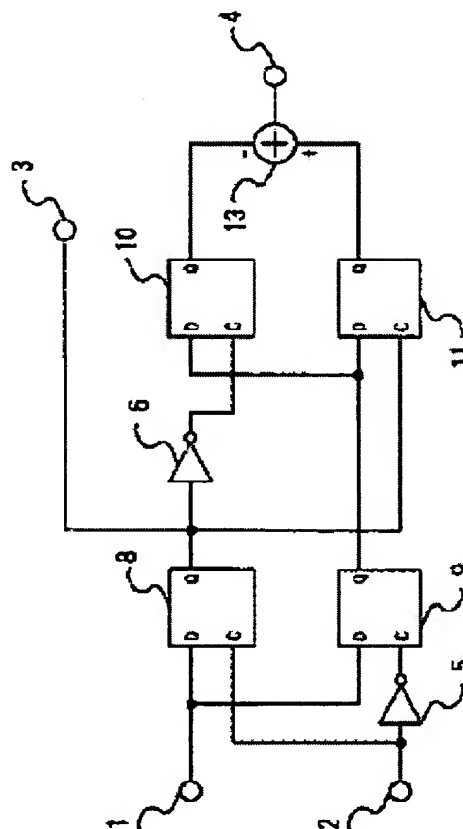
**PHASE COMPARING CIRCUIT**

**Patent number:** JP2002171160  
**Publication date:** 2002-06-14  
**Inventor:** UCHIDA HIROAKI  
**Applicant:** NEC ENG LTD  
**Classification:**  
- international: H03K5/26; H03L7/08  
- european:  
**Application number:** JP20000366905 20001201  
**Priority number(s):**

**Abstract of JP2002171160**

**PROBLEM TO BE SOLVED:** To provide a phase comparing circuit which prevents generation of waveform deterioration in a recognition data output in the case of high speed operation, because many blocks except output terminals are connected with D-FFs connected with the output terminals used for the recognition data output, and deterioration of a band is caused by capacitive load of the blocks.

**SOLUTION:** This phase comparing circuit consists of a pair of input stage D-FFs 8, 9 wherein an input data signal is inputted is connected with a data input terminal D, and a clock signal whose phase is inverted is inputted in a clock input terminal C, a pair of output stage D-FFs 10, 11 wherein an output data signal of the D-FF 9 is inputted in the data input terminal D, and output data of the D-FF 8 are subjected to phase inversion mutually and inputted in the clock terminal C, and an adder 13 whose inputs are both outputs of the output stages D-FFs 10, 11.



Data supplied from the *esp@cenet* database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-171160  
(P2002-171160A)

(43) 公開日 平成14年6月14日 (2002.6.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	タームコード* (参考)
H 0 3 K 5/26		H 0 3 K 5/26	P 5 J 0 3 9
H 0 3 L 7/08		H 0 3 L 7/08	M 5 J 1 0 6

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2000-366905 (P2000-366905)

(22) 出願日 平成12年12月1日 (2000.12.1)

(71) 出願人 000232047

日本電気エンジニアリング株式会社  
東京都港区芝浦三丁目18番21号

(72) 発明者 内田 宏章

東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内

(74) 代理人 100081710

弁理士 福山 正博

Fターム(参考) 5J039 JJ07 JJ13 JJ20 KK09 KK20

MM03 MM16

5J106 AA04 CC26 DD42 DD43 DD48

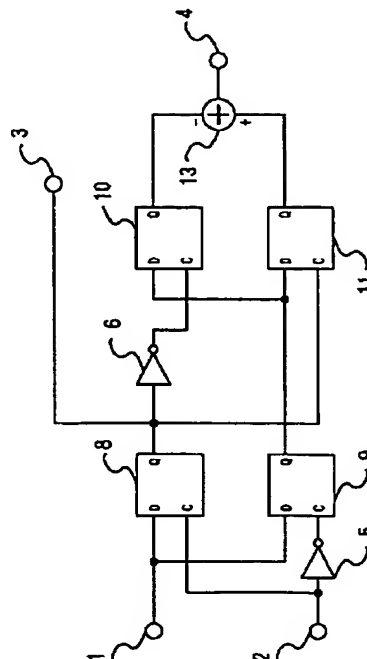
JJ02 KK02 LL02

(54) 【発明の名称】 位相比較回路

(57) 【要約】

【課題】 識別データ出力用として使用される出力端子に接続される D-F F には、出力端子以外に多数のブロックが接続され、それらの容量負荷により、帯域の劣化を引き起こすため、高速動作時における識別データ出力の波形劣化を生じるのを回避する位相比較回路を提供する。

【解決手段】 入力データ信号が入力される入力端子 1 がデータ入力端子 D に接続され、位相反転したクロック信号がクロック入力端子 C に入力される 1 対の入力段 D-F F 8、9 と、D-F F 9 の出力データ信号がデータ入力端子 D に入力され、D-F F 8 の出力データを相互に位相反転してクロック入力端子 C に入力される 1 対の出力段 D-F F 10、11 と、これら出力段 D-F F 10、11 の両出力を入力とする加算器 13 とにより構成される。



## 【特許請求の範囲】

【請求項 1】それぞれデータ入力端子、クロック入力端子および出力端子を有する 1 対の入力段 D 型フリップフロップ (D-FF) および 1 対の出力段 D-FF を備え、前記入力段 D-FF のデータ入力端子およびクロック入力端子には入力データ信号および入力クロックが入力され、前記出力段 D-FF のデータ入力端子およびクロック入力端子には前記前段 D-FF の出力データが入力される識別データ出力端子を有する位相比較回路において、

前記 1 対の出力段 D-FF の出力端子からの両出力データを入力とする加算器を設け、該加算器からの出力信号を出力端子に出力することを特徴とする位相比較回路。

【請求項 2】前記入力段 D-FF のデータ入力端子には入力データ信号を共通入力し、クロック入力端子には相互に位相反転したクロック信号を入力し、前記出力段 D-FF のデータ入力端子には前記 1 対の入力段 D-FF の一方の出力信号を共通入力し、クロック入力端子には前記入力段 D-FF の他方の出力信号を相互に位相反転して入力することを特徴とする請求項 1 に記載の位相比較回路。

【請求項 3】前記入力段 D-FF の前記他方の出力信号を前記識別データ出力端子に出力することを特徴とする請求項 2 に記載の位相比較回路。

【請求項 4】前記入力段および出力段 D-FF のクロック入力端子への信号の位相反転には、インバータを使用することを特徴とする請求項 1、2 又は 3 に記載の位相比較回路。

【請求項 5】位相同期ループ (PLL) 方式のクロック・データ識別再生回路に使用されることを特徴とする請求項 1 乃至 4 の何れかに記載の位相比較回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は位相比較回路、特に半導体集積回路化に適する PLL (位相同期ループ) 方式のクロック・データ識別再生回路における位相比較回路に関する。

## 【0002】

【従来の技術】位相比較回路は、入力データをクロック信号で識別する時に、クロック信号の位相を入力データの中央位置である最適ポイントに自動調整させるため等に使用される基本電子回路の 1 つである。位相比較回路の従来技術は、特開平 9-162727 号公報の「デジタル形式位相比較器」、特開平 10-327068 号公報の「デジタル PLL 回路」および特開 2000-40957 号公報の「PLL 回路」等に開示されている。

【0003】従来の位相比較回路を図 4 乃至図 10 を参照して説明する。図 4 は、従来の位相比較回路の第 1 例のブロック図である。この位相比較回路は、4 個の D 型

フリップフロップ (D-FF) 8~11、3 個のインバータ (位相反転器) 5~7 およびセクタ 12 により構成される。入力端子 1 からの入力信号を D-FF 8 および 9 のデータ入力端子 D に入力し、入力端子 2 からの入力信号を D-FF 8 のクロック端子 C に直接、また D-FF 9 のクロック端子 C にインバータ 5 を介して入力する。D-FF 8 の Q 出力信号を、出力端子 3 に出力すると共に、D-FF 10 のクロック端子 C にインバータ 6 を介して、また D-FF 11 のクロック端子 C の直接入力する。一方、D-FF 9 の Q 出力信号は、D-FF 10 のデータ入力端子 D にインバータ 7 を介して、また D-FF 11 のデータ入力端子 D に直接入力する。また、D-FF 10 および 11 の Q 出力信号は、セクタ 12 の両入力端子 D1、D2 に入力し、セクタ 12 の出力信号を出力端子 4 に供給するよう構成されている。

【0004】この位相比較回路の動作を、図 5 および図 6 のタイミングチャートを参照して説明する。図 5 および図 6 において、(a) は入力端子 1 から入力されるデータ信号、(b) は入力端子 2 から入力されるクロック信号、(c) は D-FF 8 の出力信号、(d) は D-FF 9 の出力信号、(e) は D-FF 10 の出力信号、

(f) は D-FF 11 の出力信号および (g) はセクタ 12 から出力端子 4 に出力される出力信号である。図 5 において、(A) は位相合致時、(B) は位相進み時および (C) は位相遅れ時のタイミングチャートである。また、図 6 は、データ信号の Duty が劣化した場合のタイミングチャートであって、(A) は位相合致時、(B) は入力データの立ち上がりから半クロック前にクロックの立ち上がりがある場合および (C) は入力データの立ち上がりから半クロック後にクロックの立ち上がりがある場合のタイミングチャートである。

【0005】まず、D-FF 8 で、入力端子 1 から入力したデータ信号 (a) を入力端子 2 からのクロック信号 (b) の立ち上がりで識別する。この D-FF 8 の出力を識別データとして出力端子 3 に出力する。一方、D-FF 9 で、入力端子 1 から入力したデータ (a) を入力端子 2 からのクロック信号 (b) をインバータ 5 で反転させたクロック信号の立ち上がりで識別する。ここで、D-FF 9 は、入力データ信号 (a) の H (高レベル) → L (低レベル) および L → H の変化点を識別することになる。この変化点は、データの H、L が確定していないため、識別結果は H および L をランダムに行き交う。

【0006】次に、D-FF 10 において、D-FF 9 の出力データ (d) をインバータ 7 で反転させたデータを、D-FF 8 の出力データ (c) をインバータ 6 で反転させたデータの立ち上がりで識別する。また、D-FF 11 において、D-FF 9 の出力データ (d) を D-FF 8 の出力データ (c) の立ち上がりで識別する。これにより、D-FF 10 では、D-FF 9 の出力ランダムデータ (d) を反転したデータを、D-FF 8 の出力

10

20

30

40

50

データ(c)の立ち下がりで識別する。一方、D-FF 11では、D-FF 9の出力ランダムデータ(d)をD-FF 8の出力データ(c)の立ち上がりで識別することになる。セクタ12の入力端子D1には、D-FF 10の出力データ(e)を、入力端子D2には、D-FF 11の出力データ(f)を入力する。このセクタ12は、D-FF 8の出力がHの時にD1を、Lの時にD2を出力する。位相が合致している時のセクタ12の出力(g)は、HとLをランダムに行き交うデータとなる。この信号を出力端子4に出力して平均値化することにより、HとLの中間、即ちMiddleとなる。

【0007】ここで、入力データに対してVCOクロックの位相が進んだ状態を図5(B)に示す。位相が進んだ場合には、D-FF 8とD-FF 9は、同じデータをそれぞれクロックの立ち上がりで識別することになる。D-FF 8の出力(c)は、D-FF 9の出力(d)より半クロック進んでいる状態となる。これにより、D-FF 10とD-FF 11の出力(e)、

(f)は、L固定となるため、セクタ12の出力(g)はL固定となる。次に、入力データに対してVCOクロックの位相が遅れた状態を図5(C)に示す。位相が遅れた状態でも、D-FF 8とD-FF 9は、同じデータをそれぞれクロックの立ち上がりで識別することになる。D-FF 8の出力(c)は、D-FF 9の出力(d)より半クロック遅れている状態となる。これにより、D-FF 10とD-FF 11の出力(e)、(f)は、H固定となるので、セクタ12の出力(g)はH固定となる。

【0008】次に、図6を参照して入力データ(a)のDutyが劣化した場合の動作を説明する。図6(A)は、位相が合致した場合を示す。図6(B)は、入力データ(a)の立ち下がりクロック信号(b)の立ち下がり一致した状態である。D-FF 9の出力(d)は、入力データの立ち下がりクロック信号の立ち下がり一致した箇所のみランダムデータとなる。D-FF 10では、D-FF 9のランダムデータのみを識別し、D-FF 11ではランダムデータ以外を識別する。これにより、D-FF 10の出力(e)はランダムデータのみ、D-FF 11の出力はL固定となる。そこで、セクタ12の出力(g)は、ランダムデータとLが重なった状態となるので、平均値はMiddleより低くなる。また、図6(C)に示す如く入力データの立ち上がりクロック信号の立ち下がり一致した時は、D-FF 9の出力(d)は、入力データ(a)の立ち上がりクロック信号(b)の立ち下がり一致した箇所のみランダムデータとなる。D-FF 10では、D-FF 9のランダムデータ以外を識別し、D-FF 11では、ランダムデータのみを識別する。これにより、D-FF 10の出力はH固定、D-FF 11の出力(e)はランダムデータのみとなる。そこで、セクタ12の出力信号

(g)は、ランダムデータとHが重なった状態となり、平均値はMiddleより高くなる。

【0009】従って、入力データのDutyが劣化した場合は、図6(A)に示す如く、D-FF 10の出力データ(e)がH固定、D-FF 11の出力データ(f)がL固定となる。そこで、セクタ12の出力信号(g)は、入力データと同じパターンで、Dutyが補正された信号となり、平均値がMiddleとなる状態、即ち図6(B)(C)の状態の間である、入力データ(a)の立ち上がり立ち下がり略中心で位相が合致する。

【0010】上述した従来例のジッタ特性を改善するために、図7および図8に示す位相比較回路が提案されている。尚、便宜上、上述した図4の回路素子に対応する回路素子には、同様の参照符号を使用している。図7の位相比較回路は、3個のD-FF 8、9および11と1個のインバータ5により構成されている。また、図8の位相比較回路は、3個のD-FF 8~10と、3個のインバータ5~7により構成されている。図7に示す位相比較回路の動作タイミングチャートは、図9(A)および(B)に示す。即ち、図9(A)に示す如く、この位相比較回路では、入力データ(a)をD-FF 9のデータ入力端子Dに入力し、クロック信号(b)をインバータ5で反転させたクロック信号をクロック端子Cに入力する。そのクロック信号の立ち上がり(即ちクロック信号の立ち下がり)で入力データ(a)の立ち上がり変化点を識別したとき、D-FF 11の出力データ(e)の平均値がMiddleとなり位相が合致したと見なす動作をする。このため、図9(B)に示すタイミングチャートの如く入力データのDutyが劣化した場合には、入力データ(a)の立ち上がり変化点から半クロック遅れたところにクロック信号(b)の立ち上がり来るように動作する。そこで、入力データとクロック信号の識別点がデータの立ち上がり立ち下がりの中心である最適点からずれてしまう。

【0011】一方、図8に示す位相比較回路もD-FF 10に入力される信号が反転しているだけである。従って、図10のタイミングチャートの如く、入力データ(a)のDutyが劣化した場合には、クロック信号(b)の立ち下がり入力データの立ち下がり変化点を識別したとき、D-FF 10の出力平均値がMiddleとなり、位相が合致したと見なす動作をする。このため、図7および図8の位相比較回路は、Duty劣化時に問題が発生する。

【0012】

【発明が解決しようとする課題】上述した従来の位相比較回路は、識別データ出力用として使用される出力端子に接続されるD-FFには、出力端子以外にインバータ、D-FFおよびセクタの合計3個のブロックが接続される。これら各ブロックには、入力静電容量が存在

し、これがD-F F 8の容量負荷となり、帯域の劣化を引き起こす。そのため、高速動作時における識別データ出力の波形劣化が問題となる。

【0013】

【発明の目的】従って、本発明の目的は、識別データ出力用として使用される出力端子に接続されるD-F Fの容量負荷を低減し、高速動作時における識別データ出力の波形劣化を低減させる位相比較回路を提供することである。

【0014】

【課題を解決するための手段】本発明の位相比較回路は、それぞれデータ入力端子、クロック入力端子および出力端子を有する1対の入力段D型フリップフロップ

(D-F F)および1対の出力段D-F Fを備え、入力段D-F Fのデータ入力端子およびクロック入力端子には入力データ信号および入力クロック信号が入力され、出力段D-F Fのデータ入力端子およびクロック入力端子には入力段D-F Fの出力データが入力される識別データ出力端子を有する回路であって、1対の出力段D-F Fの出力端子からの両出力データを入力とする加算器

を設け、この加算器の出力信号を出力端子に出力する。  
【0015】また、本発明の位相比較回路の好適実施形態によると、入力段D-F Fのデータ入力端子には入力データ信号を共通入力し、クロック入力端子には相互に位相反転したクロック信号を入力し、出力段D-F Fのデータ入力端子には、1対の入力段D-F Fの一方の出力信号を共通入力し、クロック入力端子には入力段D-F Fの他方の出力信号を相互に位相反転して入力する。入力段D-F Fの上述した他方の出力信号を識別データ出力端子に出力する。入力段および出力段D-F Fのクロック入力端子への信号の位相反転には、インバータを使用する。位相同期ループ(PLL)方式のクロック・データ識別再生回路に使用される。

【0016】

【発明の実施の形態】以下、本発明による位相比較回路の好適実施形態の構成および動作を、添付図面を参照して詳細に説明する。

【0017】先ず、図1は、本発明による位相比較回路の好適実施形態の構成を示すブロック図である。この位相比較回路は、1対の入力段D-F F 8、9および1対の出力段D-F F 10、11の合計4個のD-F F 8~11、2個のインバータ5、6および加算器13により構成される。更に、入力データが入力されるデータ入力端子1、クロック信号が入力されるクロック入力端子2および1対の出力端子3、4を有する。

【0018】データ入力端子1は、入力段D-F F 8、9のデータ入力端子Dに接続される。一方、クロック入力端子2は、D-F F 8のクロック入力端子Cとインバータ5の入力端子に接続される。インバータ5の出力端子は、D-F F 9のクロック入力端子Cに接続され

る。D-F F 9の出力端子は、出力段D-F F 10、11のデータ入力端子Dに接続される。D-F F 8の出力端子Qは、D-F F 11のクロック入力端子C、出力端子3およびインバータ6の入力端子に接続される。インバータ6の出力端子は、D-F F 10のクロック入力端子Cに接続される。加算器13の入力端子には、D-F F 10およびD-F F 11の出力端子Qがそれぞれ接続される。加算器13の出力端子に、出力端子4が接続される。

10 【0019】次に、図1に示す位相比較回路の動作を、図2および図3のタイミングチャートを参照して説明する。図2および図3において、(a)はデータ入力端子1から入力されるデータ信号、(b)はクロック信号、(c)はD-F F 8の出力データ、(d)はD-F F 9の出力データ、(e)はD-F F 10の出力データ、(f)はD-F F 11の出力データおよび(g)は加算器13の出力信号である。

【0020】先ず、図2(A)は、入力データ(a)とクロック信号(b)の位相が最適な状態(位相合致状態)におけるタイミングチャートである。入力段D-F F 8、9において、入力データ(a)をそれぞれクロック信号(b)の立ち上がりおよび立ち下がりで識別する。D-F F 11で、D-F F 9の出力データ(d)をD-F F 8の出力データ(c)の立ち上がりで識別する。以上の動作は、図4に示す従来の位相比較回路と同様である。次に、出力段D-F F 10において、入力段D-F F 9からの出力データ(d)を、入力段D-F F 8の出力データ(c)をインバータ6で反転したデータの立ち上がりで識別する。このD-F F 10の出力データ(e)とD-F F 11の出力データ(f)を加算器13で加算することにより得た出力信号(g)は、HとLの中心、即ちMiddleとなる。

【0021】次に、図2(B)は、入力データ信号(a)に対してVCO(電圧制御発振器)クロック信号(b)の位相が進んだ状態を示す。位相が進んだ場合には、D-F F 8とD-F F 9は、同じデータ信号(a)をそれぞれクロック信号(b)の立ち上がりと立ち下がりで識別することになる。D-F F 8の出力データ(c)は、D-F F 9の出力データ(d)より半クロック進んでいる状態となる。これにより、D-F F 10の出力データ(e)はH固定、D-F F 11の出力データ(f)はL固定となるので、加算器13の出力信号(g)はL固定となる。

【0022】更に、図2(C)は、入力データ信号(a)に対してVCOクロック信号(b)の位相が遅れた状態を示す。位相が遅れた状態でも、D-F F 8とD-F F 9は、同じデータ信号(a)をそれぞれクロック信号(b)の立ち上がりおよび立ち下がりで識別することになる。D-F F 8の出力データ(c)は、D-F F 9の出力データ(d)より半クロック遅れている状態と

なる。これにより、D-FF10の出力データ(e)はL固定、D-FF11の出力データ(f)はH固定となるので、加算器13の出力信号(g)はH固定となる。

【0023】次に、図3のタイミングチャートを参照して、入力データ信号(a)のDutyが劣化した場合の動作を説明する。図3(A)は、位相合致の場合の動作である。図3(B)は、入力データ信号(a)の立ち下がりとクロック信号(b)の立ち下がり一致した状態である。D-FF9の出力データ(d)は、入力データ信号(a)の立ち下がりとクロック信号(b)の立ち下がり一致した箇所のみランダムデータとなる。D-FF10では、D-FF9のランダムデータのみを識別し、D-FF11ではランダムデータ以外を識別する。これにより、D-FF10の出力データ(e)はランダムデータのみ、D-FF11の出力はL固定となる。従って、加算器13出力信号(g)の平均値は、Middleより低くなる。

【0024】また、図3(C)は、入力データ信号(a)の立ち上がりとクロック信号(b)の立ち下がり一致した時は、D-FF9の出力データ(d)は、入力データ信号(a)の立ち上がりとクロック信号(b)の立ち下がり一致した箇所のみランダムデータとなる。D-FF10では、D-FF9のランダムデータ以外を識別し、D-FF11では、ランダムデータのみを識別する。これにより、D-FF10の出力データ(e)はL固定となり、D-FF11の出力データ(f)はランダムデータのみとなる。このため、加算器13の出力信号(g)の平均値はMiddleより高くなる。従って、入力データ信号(a)のDutyが劣化した場合には、図3(A)に示す如く、D-FF10とD-FF11の出力データ(e)および(f)がL固定となる。加算器13の出力信号(g)の平均値がMiddleとなる状態、即ち図3(B)および(C)の状態の間である。入力データ信号(a)の立ち上がりとしち下がりの略中心で位相が合致するため、従来回路と同じ動作をする。

【0025】以上、本発明による位相比較回路の好適実施形態の構成および動作を詳述した。しかし、斯かる実施形態は、本発明の単なる例示に過ぎず、何ら本発明を限定するものではないことに留意されたい。本発明の要旨を逸脱することなく、特定用途に応じて種々の変形変更が可能であること当業者には容易に理解できよう。

【0026】

【発明の効果】以上の説明から理解される如く、本発明の位相比較回路によると、次の如く実用上の顕著な効果が得られる。即ち、識別データ出力用として使用される出力端子に接続されるD-FF8には、出力端子3以外にD-FF11とインバータ6の合計2個のブロックのみが接続される。従って、従来の位相比較回路と比較して容量負荷が低減でき、高速動作時における識別データ出力の波形劣化を低減させることが可能となる。

【図面の簡単な説明】

【図1】本発明による位相比較回路の好適実施形態の構成を示すブロック図である。

【図2】図1に示す位相比較回路の正常状態における動作を説明するタイミングチャートである。

【図3】図1に示す位相比較回路の入力データ信号のDutyが劣化したときの動作を示すタイミングチャートである。

【図4】従来の位相比較回路の第1例の構成を示すブロック図である。

【図5】図4の従来技術における正常動作時のタイミングチャートである。

【図6】図4の従来技術における入力データ信号のDutyが劣化したときの動作を説明するタイミングチャートである。

【図7】従来の位相比較回路の第2例の構成を示すブロック図である。

【図8】従来の位相比較回路技術の第3例の構成を示すブロック図である。

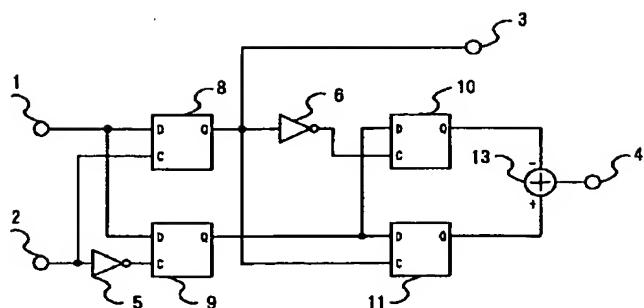
【図9】図7に示す従来技術の正常時および入力データ信号のDutyが劣化時の動作タイミングチャートである。

【図10】図8に示す従来技術の入力データ信号のDutyが劣化したときの動作タイミングチャートである。

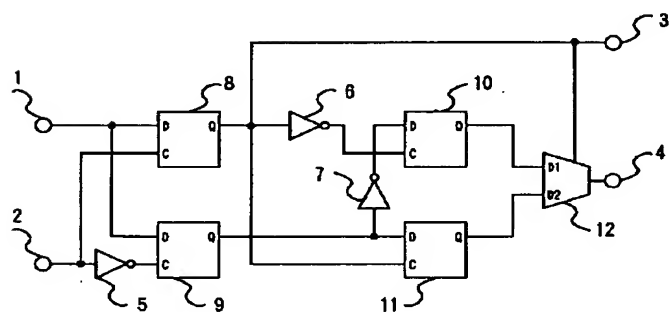
【符号の説明】

- |      |                  |
|------|------------------|
| 1    | データ入力端子          |
| 2    | クロック入力端子         |
| 3    | 出力端子(識別データ出力用)   |
| 4    | 出力端子             |
| 5、6  | インバータ            |
| 8~11 | D型フリップフロップ(D-FF) |
| 13   | 加算器              |

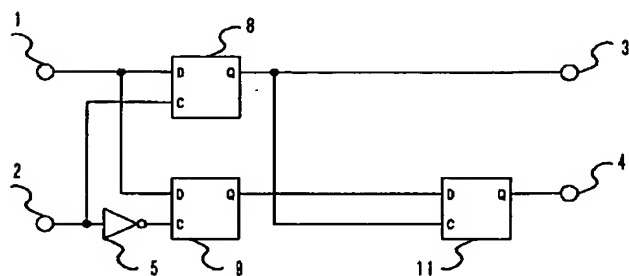
【図1】



【図4】

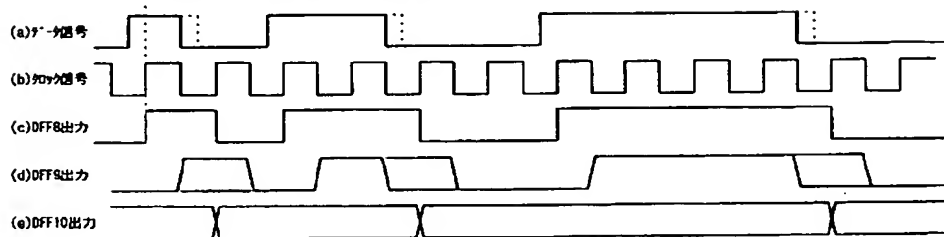


【図7】

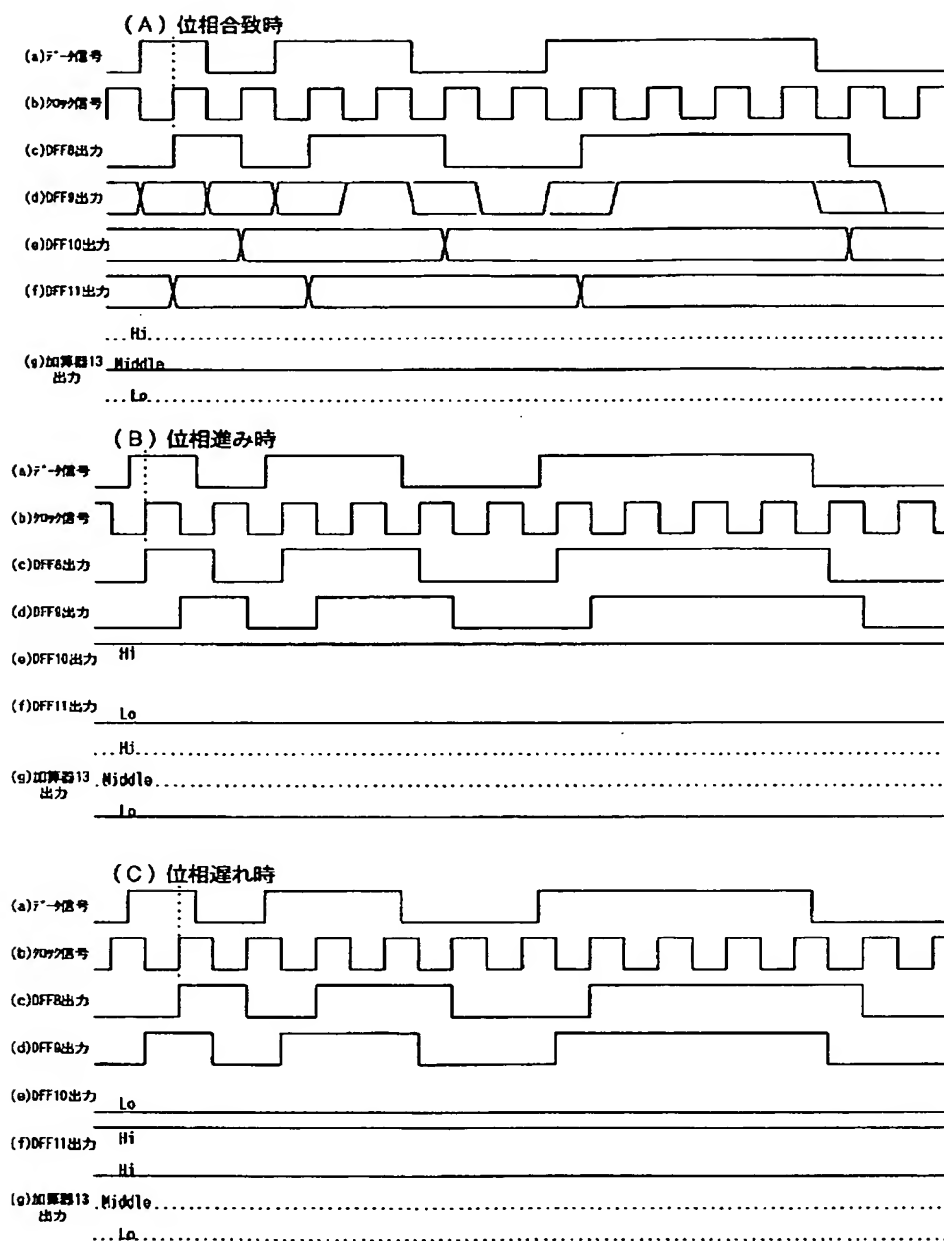


【図10】

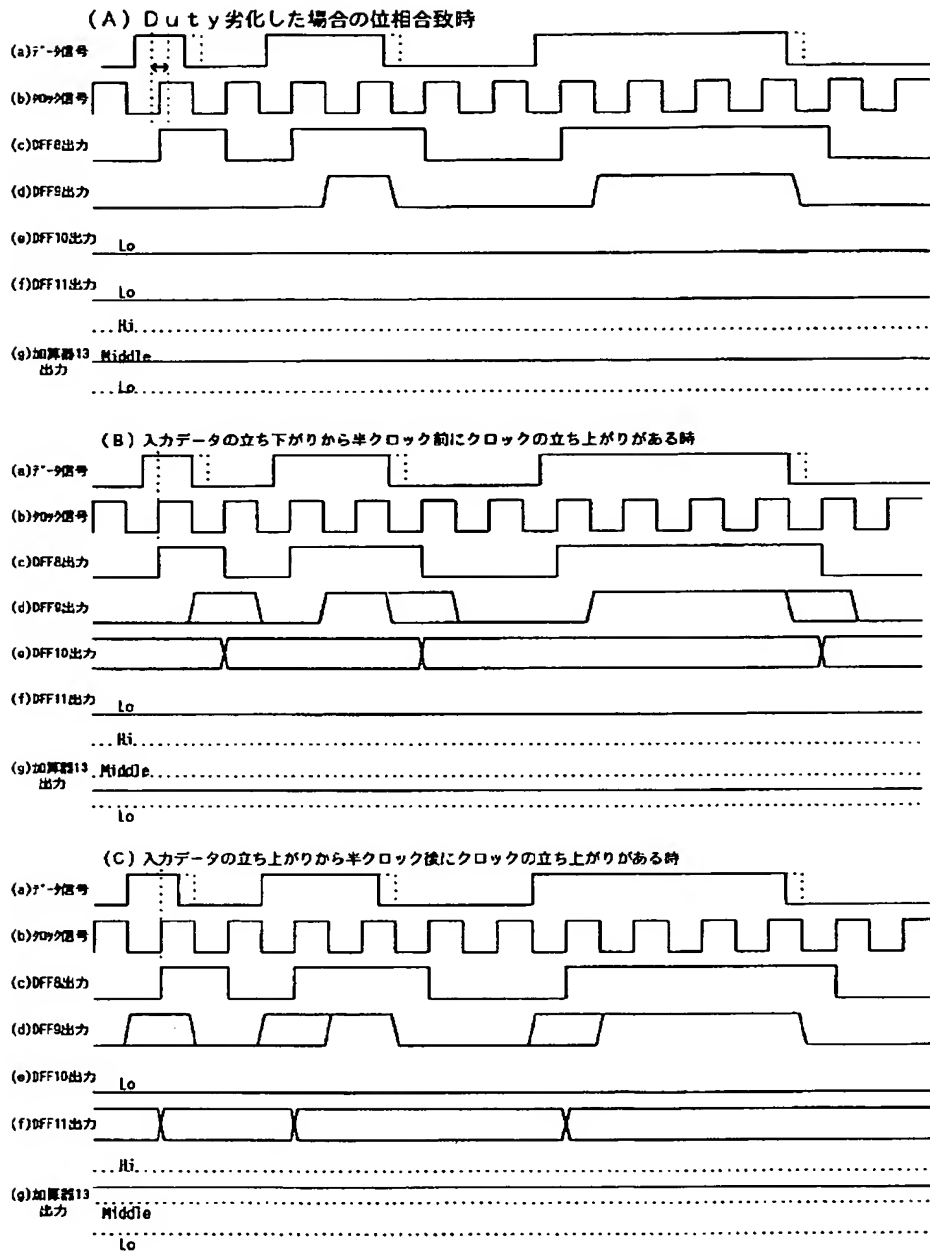
Duty劣化した場合の位相合致時



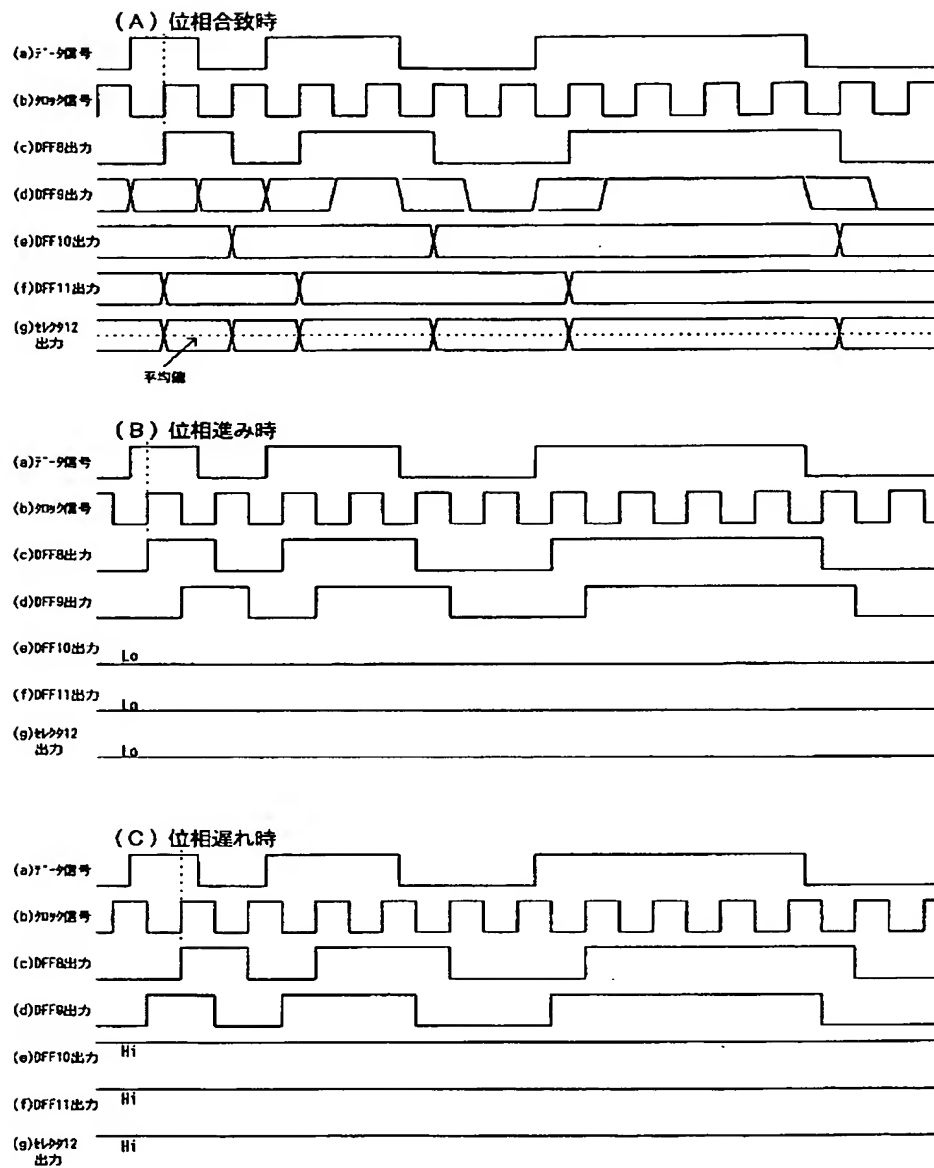
【図2】



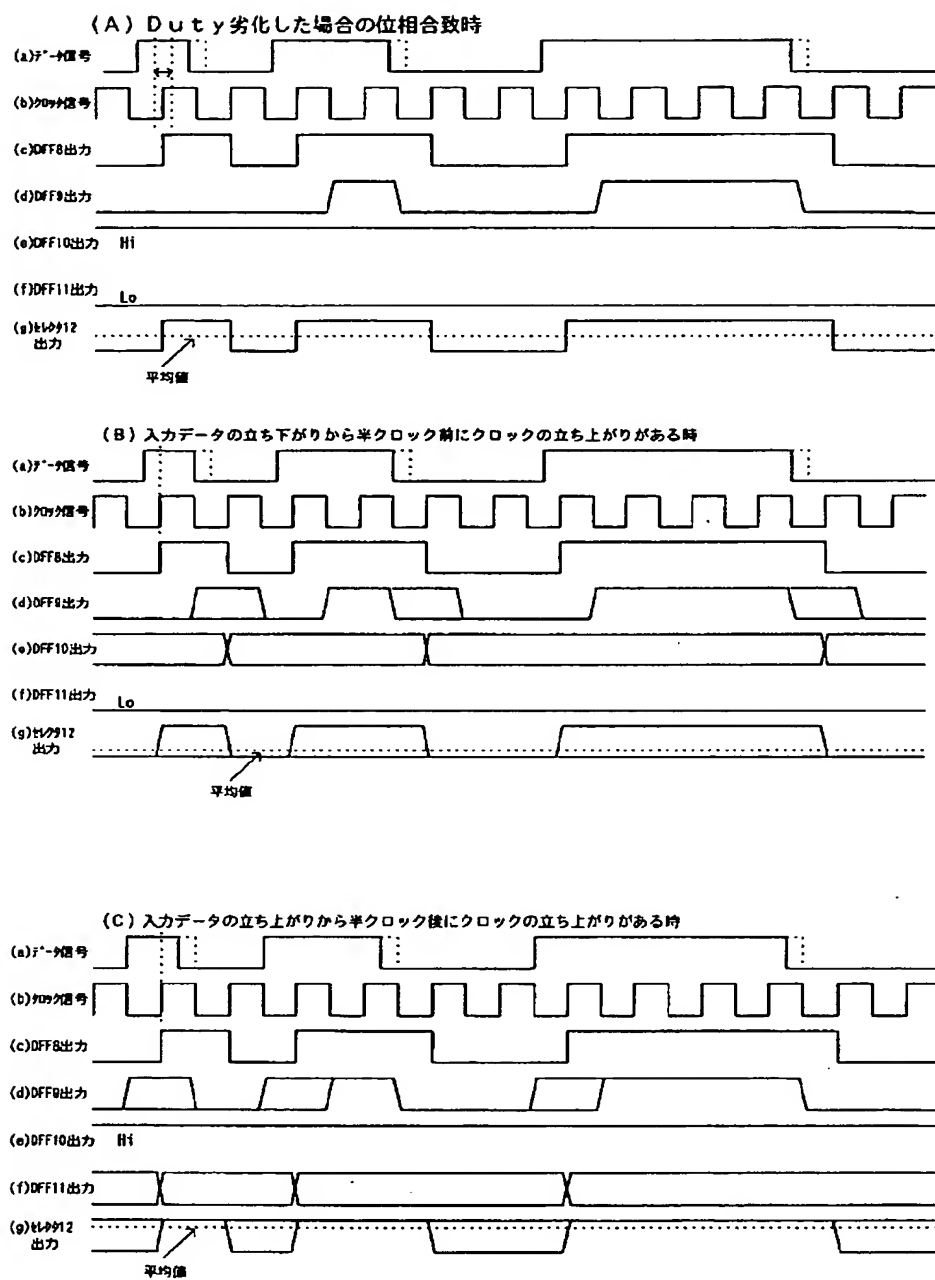
【図3】



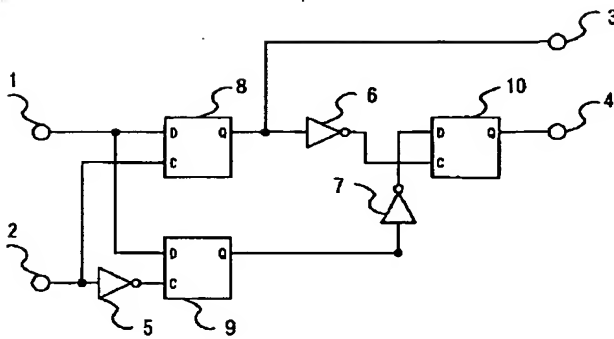
【図5】



【図6】



【図8】



【図9】

